



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0062010
Application Number

출원년월일 : 2002년 10월 11일
Date of Application OCT 11, 2002

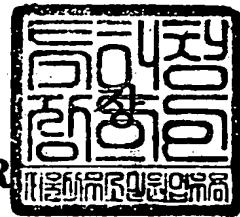
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2003 년 05 월 06 일



특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.10.11
【발명의 명칭】	반도체 소자 및 그 형성 방법
【발명의 영문명칭】	Semiconductor device and method of forming the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김홍수
【성명의 영문표기】	KIM,HONG SOO
【주민등록번호】	710113-1069115
【우편번호】	449-840
【주소】	경기도 용인시 수지읍 풍덕천리 700-1 현대아파트 101동 1407호
【국적】	KR
【발명자】	
【성명의 국문표기】	박진택
【성명의 영문표기】	PARK,JIN TAEK
【주민등록번호】	750608-1057929
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 농서리 산24번지
【국적】	KR

1020020062010

출력 일자: 2003/5/9

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정
에 의한 출원심사 를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	12	면	12,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	19	항	717,000	원
【합계】			758,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

반도체 소자 및 그 제조 방법에 관한 것으로 특히 저항 소자 및 그 제조 방법을 제시한다. 상기 반도체 소자는 소오스(source) 영역을 연결하는 도전패턴과 저항소자가 동일한 물질로 이루어져 있는 것을 특징으로 한다. 상기 동일한 물질은 폴리실리콘이다. 상기 방법은 상기 도전 패턴과 상기 저항 소자를 동시에 형성하는 것을 특징으로 한다. 이로써, 새로운 마스크를 추가없이 균일한 면저항을 얻을 수 있다.

【대표도】

도 7

【색인어】

저항 소자(Resistor), 공통 소오스라인(Common source line)

【명세서】**【발명의 명칭】**

반도체 소자 및 그 형성 방법{Semiconductor device and method of forming the same}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 반도체 소자의 평면도를 나타낸다.

도 2는 종래 기술에 따라, 도 1의 I-I' 라인 및 II-II' 라인을 따라 각각 자른 반도체 소자의 단면도들을 나타낸다.

도 3은 다른 종래 기술에 따라, 도 1의 I-I' 라인 및 II-II' 라인을 따라 각각 자른 반도체 소자의 단면도들을 나타낸다.

도 4는 본 발명의 바람직한 실시예에 따른 반도체 소자의 평면도를 나타낸다.

도 5는 본 발명의 바람직한 실시예에 따른 도 4의 III-III' 라인 및 IV-IV' 라인을 따라 각각 자른 반도체 소자의 단면도들을 나타낸다.

도 6a 내지 도 6c는 본 발명의 바람직한 실시예에 따른 도 5를 형성하는 방법을 순차적으로 나타내는 공정 단면도들이다.

도 7은 본 발명의 다른 바람직한 실시예에 따른 반도체 소자의 평면도를 나타낸다.

도 8은 본 발명의 다른 바람직한 실시예에 따른 도 7의 V-V' 라인 및 VI-VI' 라인을 따라 각각 자른 반도체 소자의 단면도들을 나타낸다.

도 9a 내지 도 9c는 본 발명의 다른 바람직한 실시예에 따른 도 8을 형성하는 방법을 순차적으로 나타내는 공정 단면도들이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10> 본 발명은 반도체 소자 및 그 형성 방법에 관한 것으로, 좀 더 상세하게 반도체 저항 소자 및 그 형성 방법에 관한 것이다.

<11> 반도체 장치의 저항 소자로 폴리실리콘을 주로 사용한다. 종래의 비휘발성 메모리 소자에 있어서, 주변회로 영역의 저항소자를 만드는 방법은 다음과 같다.

<12> 도 1은 종래 기술에 따른 반도체 소자로서 낸드 플래쉬 메모리 소자의 평면도를 나타낸다.

<13> 도 2는 종래 기술에 따라, 도 1의 I-I' 라인 및 II-II' 라인을 따라 각각 자른 소노스형 낸드 플래쉬 메모리 소자의 단면도를 나타낸다.

<14> 도 1 및 도 2를 참조하면, 셀 어레이 영역(a)과 주변회로 영역(b)로 구분지어진 반도체 기판(31) 상에 활성영역(AR)을 한정하도록 소자분리막(Fox, 32)을 형성한다. 상기 반도체 기판의 전면 상에 터널산화막(33), 전하저장막(35), 블로킹절연막(37), 폴리실리콘막(39) 및 텅스텐 실리사이드막(40)을 차례로 적층한다. 상기 막들을 차례로 패터닝하여 상기 셀 어레이 영역(a) 상에 상기 활성영역(AR)을 가로지르도록 서로 평행한 1열(string)의 워드라인들(WL, 41w)을 형성한다. 동시에 상기 1열의 워드라인들의 양측에 각각 스트링 선택 라인(String selection line, 미도시)과 접지 선택 라인(GSL, 41g)을 형성한다. 또한 상기 패터닝 공정으로 상기 주변회로 영역(b)에서 상기 소자분리막(32) 상에 저항소자(R, 41r)를 형성한다. 상기 패터닝 공정이 완료된 후 노출된 활성영역(AR)

에 불순물을 주입하여, 불순물 영역(43)을 형성한다. 상기 각각의 라인들(41w, 41g)과 저항소자(41r)을 덮도록 층간절연막(47)을 적층한다. 상기 셀 어레이 영역(a)에서 상기 접지선택 라인과 인접하는 접지선택 라인 사이에 상기 층간절연막(47)을 관통하는 공통 소오스라인(CSL, 45)을 형성한다. 상기 공통 소스라인(45) 상에 층간절연막을 더 적층한다. 상기 주변회로 영역(b)에서 상기 층간절연막(47)을 관통하여 상기 텅스텐 실리사이드막(40)과 전기적으로 접속하는 저항소자 콘택(RC, 49)을 형성한다. 그러나, 텅스텐 실리사이드막은 면저항값(sheet resistance)이 폴리실리콘에 비해 현저히 낮아서 저항소자의 면적을 넓혀야하는 단점이 있다.

<15> 따라서, 상기 문제를 해결하기 위하여, 상술한 저항소자 구조에서 도 3과 같이 주변회로 영역(b)에서 텅스텐 실리사이드막(40)을 완전히 제거해주는 방법이 고려될 수 있다. 하지만, 상기 텅스텐 실리사이드막(40)을 제거하기 위해 건식식각 공정을 진행할 때, 식각속도를 조절하기 어려워 저항소자의 저항값이 일정하지 않는 단점이 있다. 또한, 건식 식각을 위해 새로운 마스크를 형성해주어야 하기에 공정이 복잡해진다. 상기 텅스텐 실리사이드막(40)은 습식 식각으로 제거가 어려우며, 습식 식각 공정은 하부의 폴리실리콘막(39)에 손상을 줄 수 있다.

【발명이 이루고자 하는 기술적 과제】

<16> 따라서, 상기 문제를 해결하기 위하여, 본 발명의 기술적 과제는 저항소자의 면적을 넓히지 않고, 새로운 마스크의 추가없이 균일한 면저항을 얻을 수 있는 반도체 소자 및 그 형성 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<17> 상기 기술적 과제를 해결하기 위하여, 본 발명에 따른 반도체 소자는 소오스 영역을 연결하는 도전패턴과 저항 소자가 동일한 물질로 이루어진 것을 특징으로 한다.

<18> 좀 더 구체적으로, 상기 반도체 소자는 반도체 기판에 형성되어 활성 영역을 한정하는 소자 분리막, 상기 활성 영역 상에 형성된 게이트 패턴, 상기 게이트 패턴들 사이의 활성 영역내에 형성된 소오스 영역, 상기 소오스 영역들을 연결하되 상기 게이트 패턴들 사이에 개재된 도전 패턴, 및 상기 소자 분리막 상에 형성된 저항 소자를 구비하되, 상기 도전 패턴과 상기 저항 소자는 동일한 물질로 이루어진다.

<19> 상기 반도체 소자에 있어서, 상기 도전 패턴과 상기 저항 소자(resistor)는 폴리실리콘으로 이루어진다. 상기 게이트 패턴은 차례로 적층된 터널링 절연막, 전하 저장막, 블로킹 절연막, 및 게이트 전극으로 이루어질 수 있다. 상기 터널링 절연막과 블로킹 절연막은 산화막으로 이루어질 수 있다. 상기 전하 저장막은 질화막으로 이루어질 수 있다. 상기 게이트 전극은 차례로 적층된 폴리실리콘막과 금속 실리사이드막으로 이루어질 수 있다. 상기 도전 패턴과 상기 저항 소자는 동일한 높이를 갖을 수 있다.

<20> 상기 반도체 소자는 상기 게이트 패턴의 측벽을 덮는 스페이서를 더 구비할 수 있다. 이때, 상기 스페이서는 질화막 또는 산화막으로 이루어질 수 있다.

<21> 상기 반도체 소자는 상기 저항 소자의 옆의 소자 분리막 상에 더미 게이트 패턴(dummy gate pattern)을 더 구비할 수 있다. 상기 더미 게이트 패턴은 상기 게이트 패턴과 동일한 구조를 갖는다.

<22> 상기 기술적 과제를 해결하기 위하여, 본 발명에 따른 반도체 소자를 형성하는 방법은 소오스 영역을 연결하는 도전 패턴과 저항 소자를 동시에 형성하는 것을 특징으로 한다.

<23> 좀 더 상세하게, 상기 방법은 다음과 같다. 먼저, 반도체 기판에 소자 분리막을 형성하여 활성 영역을 한정한다. 상기 소자 분리막이 형성된 상기 반도체 기판의 전면 상에 게이트 절연막 및 게이트 도전막을 차례로 적층한다. 상기 게이트 도전막 및 상기 게이트 절연막을 차례로 패터닝하여 상기 활성 영역 상에 게이트 절연막 패턴과 게이트 도전막 패턴으로 이루어진 게이트 패턴을 형성한다. 상기 게이트 패턴을 이온 주입 마스크로 사용하여 상기 게이트 패턴들 사이의 상기 활성 영역 내에 불순물을 도핑하여 소오스 영역을 형성한다. 상기 소오스 영역이 형성된 반도체 기판의 전면 상에 충간 절연막을 적층하고, 평탄화한다. 상기 충간절연막을 관통하여, 상기 소오스 영역 및 소자분리막을 각각 노출는 제 1 그루브(groove) 및 제 2 그루브를 형성한다. 상기 제 1 및 제 2 그루브를 각각 도전막으로 채우고 평탄화하여 상기 소오스 영역을 연결하는 도전 패턴을 형성하는 동시에 상기 소자 분리막 상에 저항 소자를 형성한다.

<24> 상기 방법에 있어서, 상기 도전막은 폴리실리콘으로 형성할 수 있다. 상기 게이트 절연막은 차례로 적층된 터널 절연막, 전하 저장막 및 블로킹 절연막으로 형성할 수 있다. 상기 터널 절연막과 블로킹 절연막은 산화막으로 형성할 수 있다. 상기 전하 저장막은 질화막으로 형성할 수 있다. 상기 게이트 도전막은 차례로 적층된 폴리실리콘막과 금 속실리사이드막으로 형성할 수 있다.

<25> 상기 방법에 있어서, 상기 활성 영역 상에 상기 게이트 패턴을 형성할 때 동시에 상기 소자 분리막 상에 더미 게이트 패턴을 추가로 형성할 수 있다.

<26> 상기 방법에 있어서, 상기 소오스 영역을 형성한 후에, 상기 게이트 패턴의 측벽을 덮는 스페이서를 형성할 수 있다. 이때, 상기 스페이서는 산화막 또는 질화막으로 형성 할 수 있다.

<27> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 하기 실시예에서는 소노스(SONOS)형 낸드 플래쉬 메모리 소자를 예로 들기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 노어(NOR) 플래쉬 메모리 소자등 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타내며, a는 셀 어레이 영역을, b는 주변회로 영역을 나타낸다.

<28> <실시예 1>

<29> 도 4는 본 발명의 바람직한 실시예에 따른 낸드 플래쉬 메모리 소자의 평면도를 나타낸다.

<30> 도 5는 본 발명의 바람직한 실시예에 따른 도 4의 III-III' 라인 및 IV-IV' 라인을 따라 각각 자른 소노스형 낸드 플래쉬 메모리 소자의 단면도들을 나타낸다.

<31> 도 4 및 도 5를 참조하여, 반도체 기판(100) 상에 활성영역(AR)을 한정하는 소자분리막(Fox, 102)이 위치한다. 상기 셀어레이 영역(a)에서 상기 활성영역(AR)을 가로지르 되 서로 평행한 1열(string)의 워드라인(WL, 113w)들이 위치한다. 상기 1열의 워드라인

들의 양측에 각각 스트링 선택 라인(String selecting line, SSL, 미도시)과 접지선택 라인(ground selecting line, GSL, 113g)이 위치한다. 상기 1열의 워드라인들, 스트링 선택 라인 및 접지선택 라인을 포함하는 구조는 상기 셀 어레이 영역(a)에서 대칭적으로 반복된다. 상기 각각의 라인들 사이의 활성영역(AR) 내에는 불순물 영역(116)이 배치된다. 상기 불순물 영역(116)중에서, 상기 접지 선택 라인(113g)과 인접하는 접지선택 라인(113g) 사이의 불순물 영역은 공통 소오스 영역(116c)이라 명명한다. 상기 공통 소오스 영역(116c)을 따라 공통 소오스라인(common source line, CSL, 124c)이 위치한다. 상기 각각의 라인들(WL, SSL, GSL)은 폴리실리콘막(110) 및 텅스텐 실리사이드막(112)로 이루어져 있으며 이는 반도체 기판(100) 상에 차례로 적층된 터널 산화막(104), 전하저장막(106), 및 블로킹 절연막(106) 상에 위치하여 소노스(SONOS) 형 구조를 이룬다. 상기 각각의 라인들(WL, SSL, GSL)의 측벽을 덮는 스페이서(118)이 위치하며, 상기 각각의 라인들(WL, SSL, GSL)의 상부를 덮는 캐핑막 패턴(114)이 존재한다. 상기 주변 회로 영역(b)에는 상기 소자 분리막(102) 상에 저항소자(R, 124r)가 위치한다. 상기 저항 소자(124r)의 양 단에 전압을 인가하기 위한 저항소자 콘택(RC, 128)이 존재한다. 상기 반도체 기판(100)의 전면을 덮되, 상기 공통 소오스라인(CSL) 및 저항소자(R)에 의해 관통되는 식각저지막(120)이 존재한다. 상기 구조는 제 1 층간절연막(122) 및 제 2 층간절연막(126)을 더 포함한다. 상기 구조에서, 상기 공통 소오스라인(CSL, 124c)과 상기 저항소자(R, 124r)은 같은 물질로 이루어지며, 바람직하게는 폴리실리콘으로 이루어 진다.

<32> 도 4 및 도 5의 상기 구조를 형성하는 방법을 도 6a 내지 도 6c를 참조하여 설명하기로 한다.

<33> 도 6a를 참조하면, 먼저, 반도체 기판(100) 상에 소자분리막(102)를 형성하여 활성 영역(AR)을 한정한다. 상기 반도체 기판(100)의 전면 상에 산화막, 질화막, 산화막, 폴리실리콘막, 및 텅스텐 실리사이드막을 차례로 적층한다. 상기 셀 어레이 영역(a)에서 상기 텅스텐 실리사이드막 상에 각각의 라인(GSL, SSL, WL)들을 형성하기 위한 하드마스크 역활 및 하부 막들을 보호하는 역활을 하는 캐핑막 패턴(114)을 형성한다. 상기 캐핑막 패턴(114)을 식각마스크로 이용하여 패터닝 공정을 진행하여 상기 셀 어레이 영역(a) 상에 각각의 라인(GSL, SSL, WL)을 이루는 게이트 패턴을 형성한다. 상기 게이트 패턴은 반도체 기판(100) 상에 차례로 적층된 터널 산화막(104), 전하저장막(106), 블로킹 절연막(108), 폴리실리콘막(110), 텅스텐 실리사이드막(112) 및 캐핑막 패턴(114)으로 이루어진다.

<34> 도 6b를 참조하면, 상기 각각의 게이트 패턴들을 이온주입 마스크로 사용하여 상기 활성영역(AR)내에 불순물을 도핑하여 불순물 영역(116)을 형성한다. 상기 불순물 영역(116)이 형성된 상기 반도체 기판(100)의 전면 상에 절연막을 콘포말하게 적층한다. 상기 절연막은 질화막 또는 산화막으로 형성할 수 있다. 상기 절연막을 에치백(etch back) 내지 건식식각하여 상기 게이트 패턴의 측벽을 덮는 스페이서(118)를 형성할 수 있다. 상기 스페이서(118)을 포함하는 반도체 기판(100)의 전면 상에 식각 저지막(120)을 콘포말하게 적층한다. 상기 식각 저지막(120)은 실리콘 질화막으로 형성할 수 있다.

<35> 도 6c를 참조하면, 상기 식각 저지막(120)이 형성된 상기 반도체 기판(100)의 전면 상에 제 1 층간 절연막(122)을 적층하여 상기 게이트 패턴들 사이의 공간을 완전히 막립한다. 상기 제 1 층간 절연막(122)은 산화막으로 형성할 수 있다. 상기 제 1 층간 절연막(122)의 상부를 CMP(화학적 기계적 연마, chemical mechanical polishing)공정으로

평탄화하여 상기 식각 저지막(120)의 상부를 노출시킨다. 이때 상기 식각 저지막(120)은 연마 저지막(polishing stop layer)의 역할을 한다. 상기 셀 어레이 영역(a)의 게이트 패턴 밀도에 비해 상기 주변회로 영역(b)의 저항소자 패턴의 밀도가 낮기에 CMP 공정중에 디싱(dishing) 현상이 발생할 수 있다. 즉, 도 6c에서처럼 상기 주변회로 영역(b)에서 상기 제 1 층간 절연막(122)의 높이가 상기 셀 어레이 영역(a)에서 보다 낮게 형성될 수 있다. 상기 CMP 공정이 완료된 후, 상기 제 1 층간 절연막(122) 및 상기 식각저지막(120)을 차례로 패터닝하여, 상기 셀 어레이 영역(a)에서 상기 소오스 영역(116c)을 노출시키는 제 1 그루브(groove)를 형성하는 동시에, 상기 주변회로 영역(b)에서 상기 소자 분리막(102)을 노출시키는 제 2 그루브를 형성한다. 상기 제 1 및 제 2 그루브들이 형성된 상기 반도체 기판(100)의 전면상에 도전막으로 채우고 평탄화하여 상기 셀 어레이 영역(a)에서 상기 공통 소오스영역(116c)와 접하는 공통 소오스라인(CSL, 124c)를 형성하는 동시에 상기 주변회로 영역(b)에 상기 소자분리막(102) 상에 저항소자(R, 124r)를 형성한다. 상기 도전막으로 바람직하게 폴리실리콘막을 사용할 수 있다.

<36> 후속 공정으로, 도 5를 참조하여, 상기 공통 소오스라인(124c) 및 상기 저항소자(124r)를 포함하는 상기 반도체 기판(100)의 전면 상에 제 2 층간 절연막(126)을 적층한다. 상기 제 2 층간 절연막(126)을 패터닝하여 상기 저항소자(124r)의 단부에 전압을 인가하기 위한 저항소자 콘택(RC, 128)을 형성한다.

<37> 상기 구조와 방법에 따르면, 상기 저항소자(R, 124r)가 폴리실리콘으로 이루어져 면저항이 적합하여 저항소자의 면적을 넓히지 않아도 된다. 또한 공통소오스라인(CSL, 124c)과 동시에 형성이 되기에 새로운 마스크의 추가를 필요로 하지않아 공정이 단순화 될 수 있다. 또한 종래와 같이 건식식각 공정을 필요로 하지 않기에 저항소자의 균일성

을 확보하기가 보다 수월하나, 상기 CMP 공정에서 상기 주변회로 영역(b)에서 발생하는 디싱 현상의 정도를 제어하기가 어려워 저항 소자(R, 124r)의 균일성을 완벽하게 얻기는 어렵다.

<38> <실시 예 2>

<39> 실시 예 1에 있어서, 제 1 층간 절연막에 대해 CMP 공정을 적용할 때, 주변회로 영역(b)에서 발생하는 디싱 현상을 방지하기 위하여, 실시 예 2에서는 상기 주변회로 영역(b)에 더미 게이트 패턴을 추가로 형성하는 것을 특징으로 한다.

<40> 도 7은 본 발명의 다른 바람직한 실시 예에 따른 반도체 소자의 평면도를 나타낸다. 도 8은 본 발명의 다른 바람직한 실시 예에 따른 도 7의 V-V' 라인 및 VI-VI' 라인을 따라 각각 자른 반도체 소자의 단면도들을 나타낸다.

<41> 도 7 및 도 8을 참조하면, 실시 예 1의 도 5 및 도 6과 같은 구조에서 더미 게이트 패턴(dummy gate pattern, DG, 113d)를 추가로 포함하고 있는 것을 특징으로 한다. 상기 더미 게이트 패턴(113d)는 각각의 라인들(WL, SSL, GSL)을 이루는 게이트 패턴들과 동일한 구조를 갖되 소자 분리막(102) 상에 형성된다.

<42> 도 7 및 도 8의 구조를 형성하는 방법을 도 9a 내지 도 9c를 참조하여 설명하기로 한다.

<43> 도 9a를 참조하면, 소자분리막(102)이 형성된 반도체 기판(100)의 전면 상에 산화막, 질화막, 산화막, 폴리실리콘막, 및 텅스텐 실리사이드막을 차례로 적층한다. 상기 셀 어레이 영역(a) 및 상기 주변회로 영역(b)에서 상기 텅스텐 실리사이드막 상에 각각의 라인(GSL, SSL, WL)들 및 더미 게이트 패턴(DG)을 형성하기 위한 하드마스크 역활 및

하부 막들을 보호하는 역할을 하는 캐핑막 패턴(114)을 형성한다. 상기 캐핑막 패턴(114)을 식각마스크로 이용하여 패터닝 공정을 진행하여 상기 셀 어레이 영역(a)상에 각각의 라인(GSL, SSL, WL)을 이루는 게이트 패턴과 상기 주변회로 영역(b) 상에 더미 게이트 패턴(DG)을 형성한다. 상기 게이트 패턴 및 더미 게이트 패턴 각각은 반도체 기판(100) 상에 차례로 적층된 터널 산화막(104), 전하저장막(106), 블로킹 절연막(108), 폴리실리콘막(110), 텅스텐 실리사이드막(112) 및 캐핑막 패턴(114)으로 이루어진다.

<44> 도 9b를 참조하면, 상기 각각의 게이트 패턴들을 이온주입 마스크로 사용하여 상기 활성영역(AR)내에 불순물을 도핑하여 불순물 영역(116)을 형성한다. 상기 불순물 영역(116)이 형성된 상기 반도체 기판(100)의 전면 상에 절연막을 콘포말하게 적층한다. 상기 절연막은 질화막 또는 산화막으로 형성할 수 있다. 상기 절연막을 에치백(etch back) 내지 건식식각하여 상기 게이트 패턴 및 더미 게이트 패턴(DG)의 측벽을 덮는 스페이서(118)를 형성하다. 상기 스페이서(118)를 포함하는 반도체 기판(100)의 전면 상에 식각저지막(120)을 콘포말하게 적층한다. 상기 식각 저지막(120)은 실리콘 질화막으로 형성 할 수 있다.

<45> 도 9c를 참조하면, 상기 식각 저지막(120)이 형성된 상기 반도체 기판(100)의 전면 상에 제 1 층간 절연막(122)을 적층하여 상기 게이트 패턴 및 상기 더미 게이트 패턴(DG)들 사이의 공간을 완전히 매립한다. 상기 제 1 층간 절연막(122)은 산화막으로 형성 할 수 있다. 상기 제 1 층간 절연막(122)의 상부를 CMP(화학적 기계적 연마, chemical mechanical polishing)공정으로 평탄화하여 상기 식각 저지막(120)의 상부를 노출시킨다. 이때 상기 식각 저지막(120)은 연마 저지막(polishing stop layer)의 역할 을 한다. 상기 주변회로 영역(b)에서 상기 더미 게이트 패턴(DG) 때문에 실시예 1과 같

이 디싱 현상이 발생하지 않는다. 상기 CMP 공정이 완료된 후, 상기 제 1 층간 절연막(122) 및 상기 식각저지막(120)을 차례로 패터닝하여, 상기 셀 어레이 영역(a)에서 상기 소오스 영역(116c)을 노출시키는 제 1 그루브(groove)를 형성하는 동시에, 상기 주변회로 영역(b)에서 상기 소자 분리막(102)을 노출시키는 제 2 그루브를 형성한다. 상기 제 1 및 제 2 그루브들이 형성된 상기 반도체 기판(100)의 전면상에 도전막으로 채우고 평탄화하여 상기 셀 어레이 영역(a)에서 상기 공통 소오스영역(116c)와 접하는 공통 소오스라인(CSL, 124c)를 형성하는 동시에 상기 주변회로 영역(b)에 상기 소자분리막(102) 상에 저항소자(R, 124r)를 형성한다. 상기 도전막으로 바람직하게 폴리실리콘막을 사용할 수 있다. 이때, 상기 더미 게이트 패턴(DG) 때문에 상기 공통 소오스라인(124c)과 상기 저항소자(124r)는 동일한 높이를 갖는다.

<46> 후속 공정은 실시예 1과 같다. 상기 구조와 방법에 따르면, 실시예 1의 장점을 모두 갖으며, 추가로 디싱 현상을 방지하여, 저항 소자(124r)의 균일성을 확보할 수 있다.

【발명의 효과】

<47> 따라서, 본 발명에 의한 반도체 구조 및 그 형성 방법에 따르면, 저항소자가 폴리실리콘으로 이루어져 면저항이 적합하여 저항소자의 면적을 넓히지 않아도 된다. 또한 공통소오스라인과 동시에 형성이 되기에 새로운 마스크의 추가를 필요로 하지 않아 공정이 단순화되며, 종래와 같이 견식 식각 공정을 필요로 하지 않으므로 균일한 면저항을 얻을 수 있는 장점을 갖는다.

【특허청구범위】**【청구항 1】**

반도체 기판에 형성되어 활성 영역을 한정하는 소자 분리막;

상기 활성 영역 상에 형성된 게이트 패턴;

상기 게이트 패턴들 사이의 활성 영역내에 형성된 소오스 영역;

상기 소오스 영역들을 연결하되 상기 게이트 패턴들 사이에 개재된 도전 패턴; 및

상기 소자 분리막 상에 형성된 저항 소자를 구비하되,

상기 도전 패턴과 상기 저항 소자는 동시에 형성된 동일한 물질로 이루어지는 것을

특징으로 하는 반도체 소자.

【청구항 2】

제 1 항에 있어서,

상기 도전 패턴과 상기 저항 소자(resistor)는 폴리실리콘으로 이루어지는 것을 특

징으로 하는 반도체 소자.

【청구항 3】

제 1 항에 있어서,

상기 게이트 패턴은 차례로 적층된 터널링 절연막, 전하 저장막, 블로킹 절연막,

및 게이트 전극으로 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 4】

제 3 항에 있어서,

상기 터널링 절연막과 블로킹 절연막은 산화막으로 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 5】

제 3 항에 있어서,

상기 전하 저장막은 질화막으로 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 6】

제 3 항에 있어서,

상기 게이트 전극은 차례로 적층된 폴리실리콘막과 금속 실리사이드막으로 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 7】

제 1 항에 있어서,

상기 도전 패턴과 상기 저항 소자는 수평적으로 정렬(align)되어 있는 것을 특징으로 하는 반도체 소자.

【청구항 8】

제 1 항에 있어서,

상기 게이트 패턴의 측벽을 덮는 스페이서를 더 구비하는 것을 특징으로 하는 반도체 소자.

【청구항 9】

제 8 항에 있어서,

상기 스페이서는 질화막 또는 산화막으로 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 10】

제 1 항에 있어서,

상기 저항 소자에 인접한 소자 분리막 상에 더미 게이트 패턴(dummy gate pattern)을 더 구비하는 것을 특징으로 하는 반도체 소자.

【청구항 11】

반도체 기판에 소자 분리막을 형성하여 활성 영역을 한정하는 단계;

상기 소자 분리막이 형성된 상기 반도체 기판의 전면 상에 게이트 절연막 및 게이트 도전막을 차례로 적층하는 단계;

상기 게이트 도전막 및 상기 게이트 절연막을 차례로 패터닝하여 상기 활성 영역 상에 게이트 절연막 패턴과 게이트 도전막 패턴으로 이루어진 게이트 패턴을 형성하는 단계;

상기 게이트 패턴을 이온 주입 마스크로 사용하여 상기 게이트 패턴들 사이의 상기 활성 영역 내에 불순물을 도핑하여 소오스 영역을 형성하는 단계;

상기 소오스 영역이 형성된 반도체 기판의 전면 상에 충간 절연막을 적층하고, 평탄화하는 단계;

상기 충간절연막을 관통하여, 상기 소오스 영역 및 소자분리막을 각각 노출하는 제 1 그루브(groove) 및 제 2 그루브를 형성하는 단계;

상기 제 1 및 제 2 그루브를 각각 도전막으로 채우고 평탄화하여 상기 소오스 영역을 연결하는 도전 패턴을 형성하는 동시에 상기 소자 분리막 상에 저항 소자를 형성하는 단계를 구비하는 반도체 소자의 형성 방법.

【청구항 12】

제 11 항에 있어서,

상기 도전막은 폴리실리콘으로 형성하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 13】

제 11 항에 있어서,

상기 게이트 절연막은 차례로 적층된 터널 절연막, 전하 저장막 및 블로킹 절연막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 14】

제 13 항에 있어서,

상기 터널 절연막과 블로킹 절연막은 산화막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 15】

제 13 항에 있어서,

상기 전하 저장막은 질화막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 16】

제 11 항에 있어서,

상기 게이트 도전막은 차례로 적층된 폴리실리콘막과 금속실리사이드막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 17】

제 11 항에 있어서,

상기 활성 영역 상에 상기 게이트 패턴을 형성할 때 동시에 상기 소자 분리막 상에 더미 게이트 패턴을 추가로 형성하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 18】

제 11 항에 있어서,

상기 소오스 영역을 형성하는 단계 후에,

상기 게이트 패턴의 측벽을 덮는 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

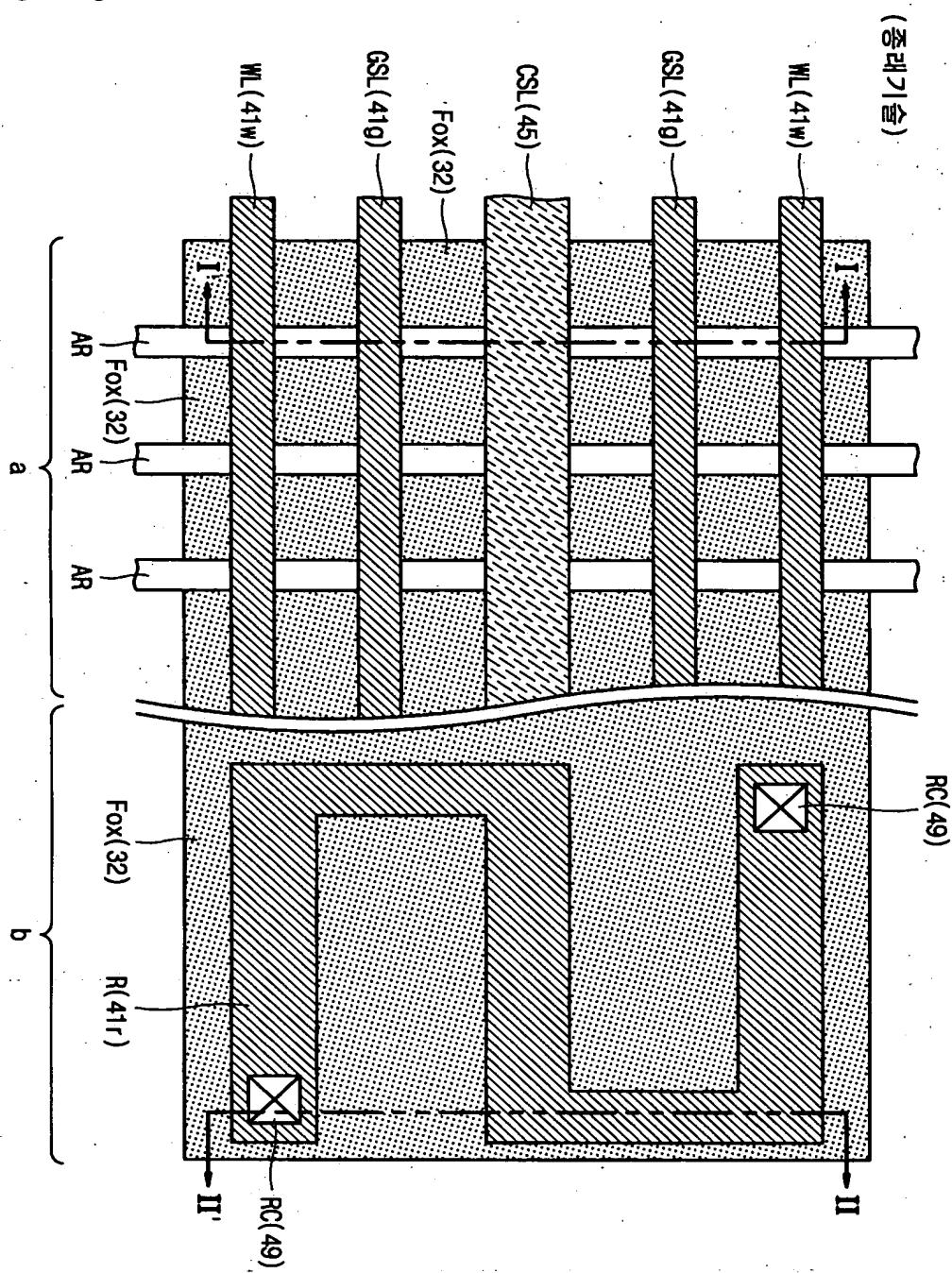
【청구항 19】

제 18 항에 있어서,

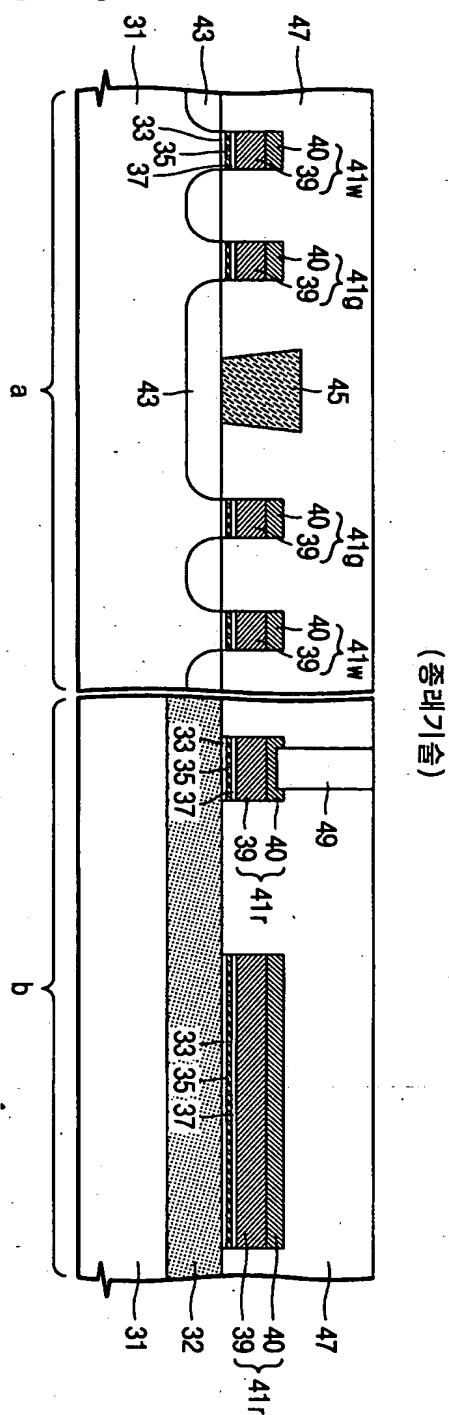
상기 스페이서는 산화막 또는 질화막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【도면】

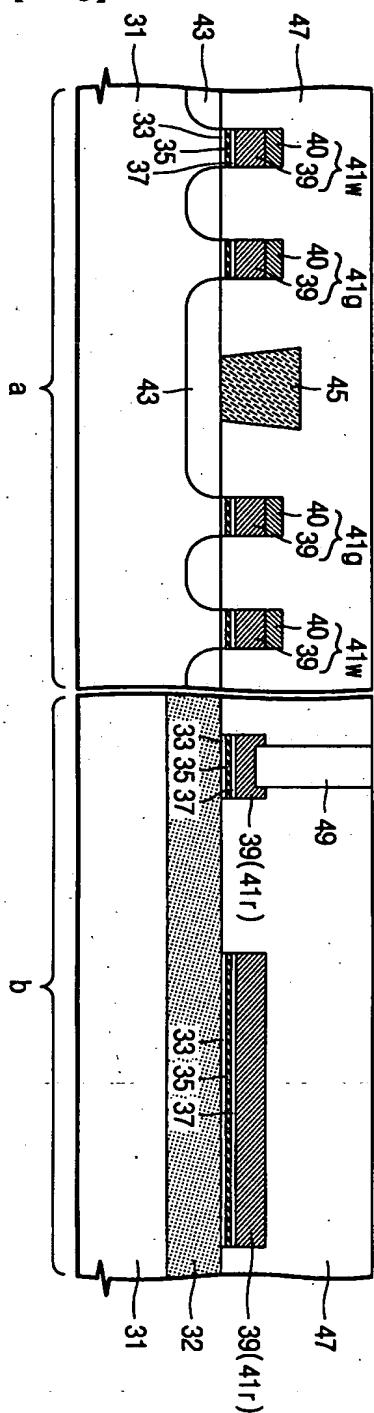
【도 1】



【도 2】

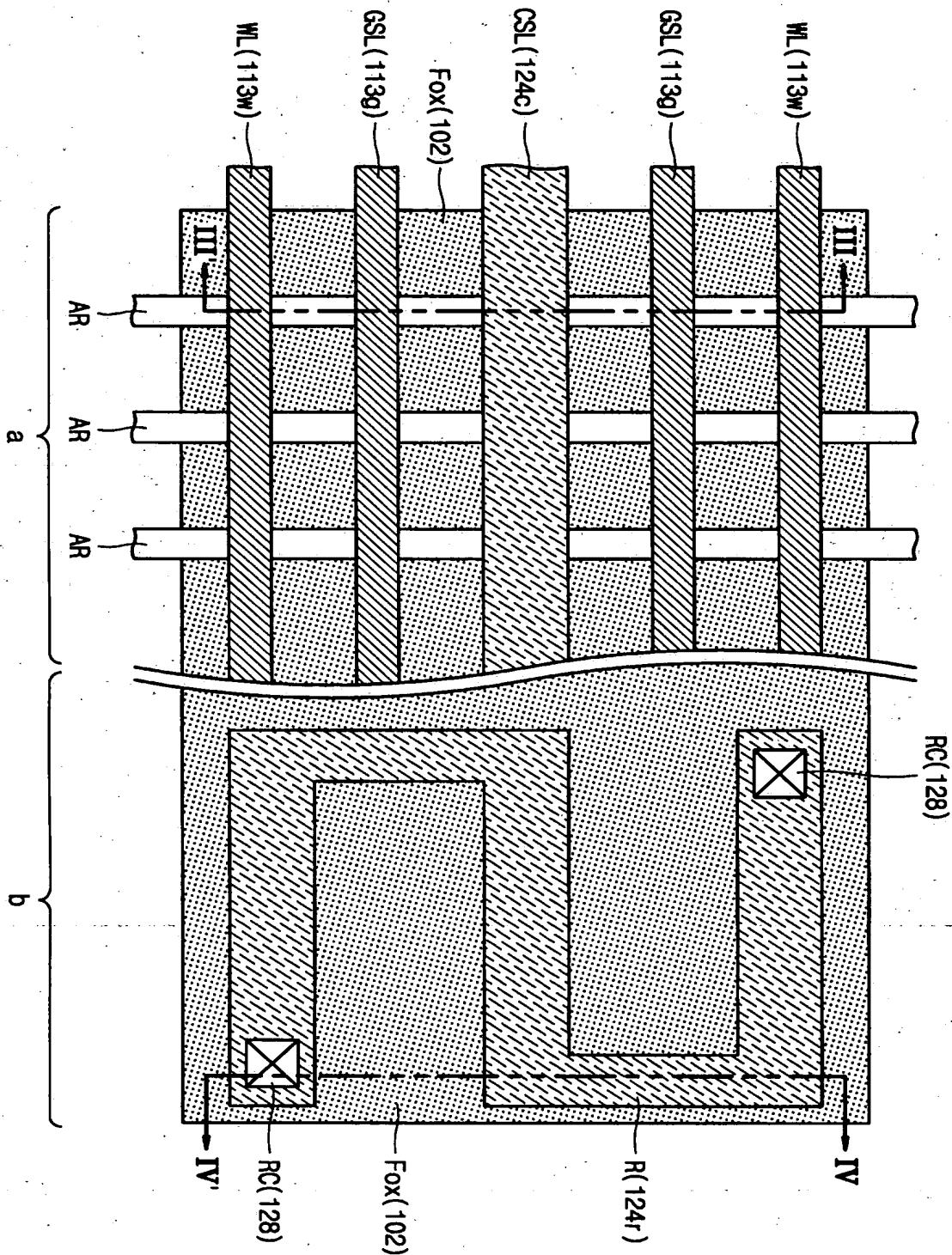


【도 3】



(종래기술)

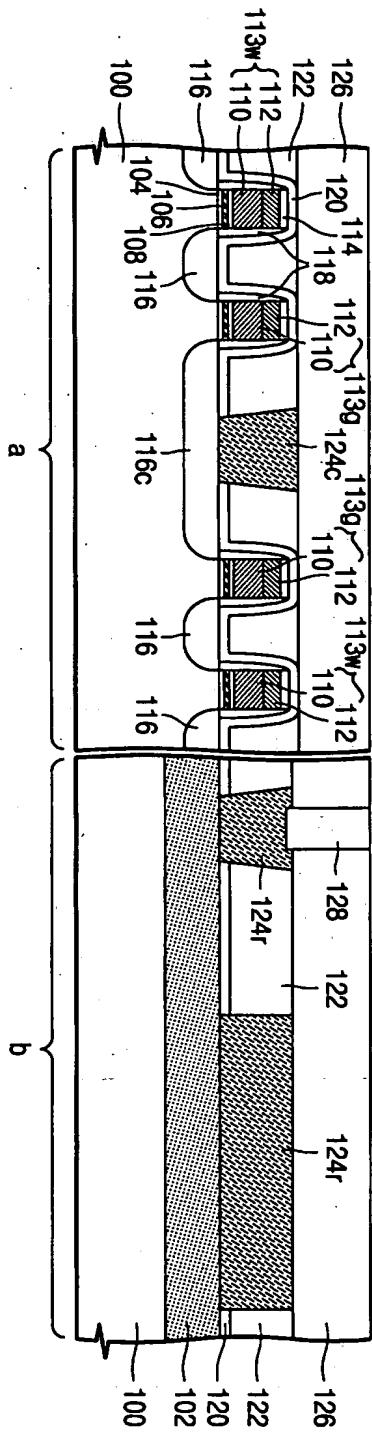
【H 4】



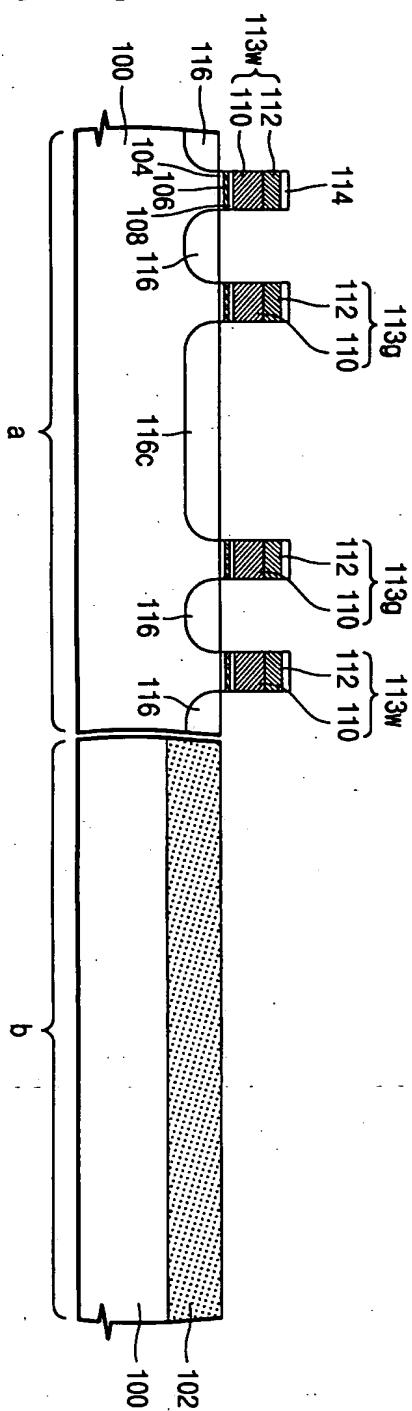
1020020062010

출력 일자: 2003/5/9

【도 5】



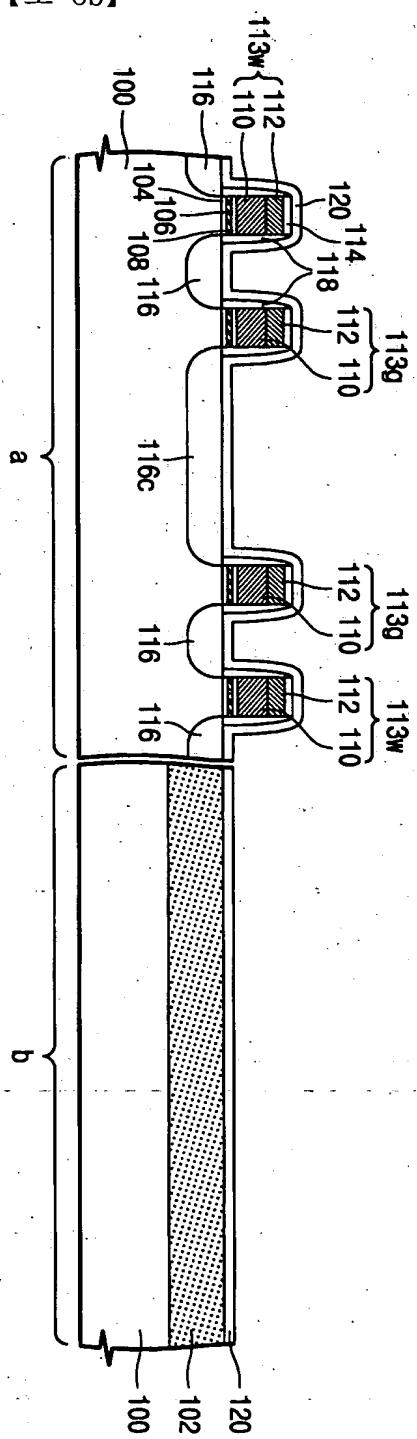
【도 6a】



1020020062010

출력 일자: 2003/5/9

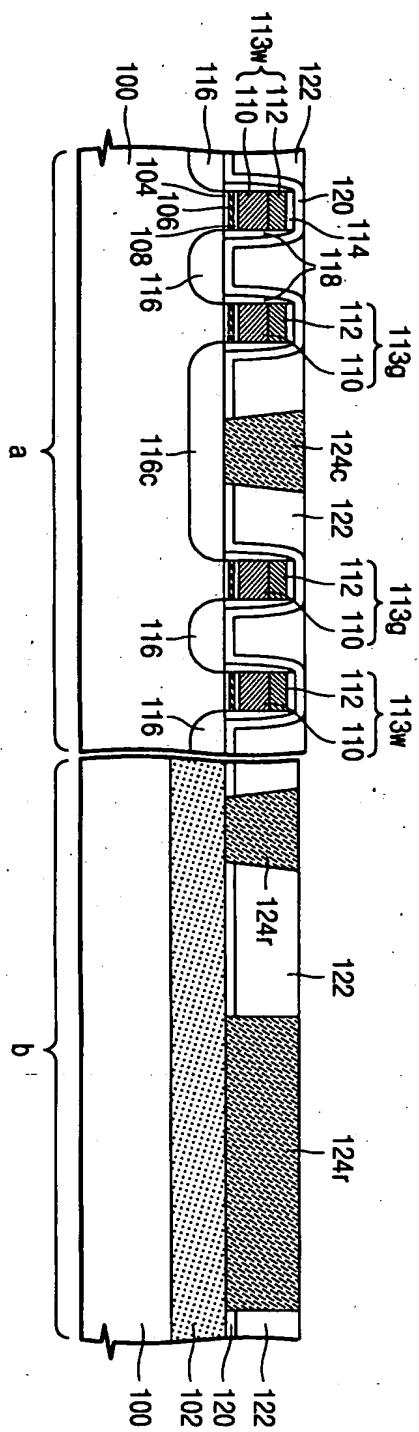
【도 6b】



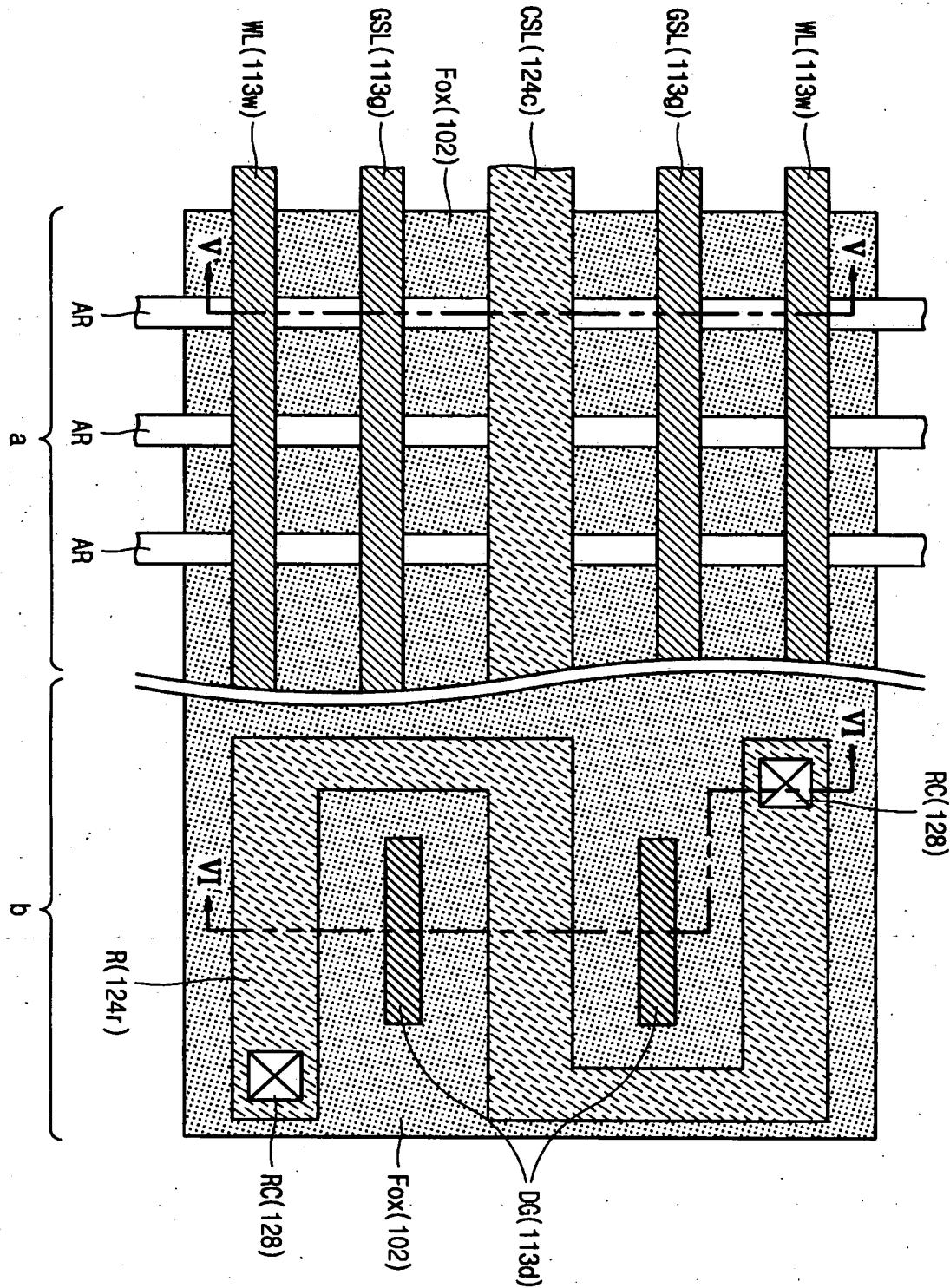
1020020062010

출력 일자: 2003/5/9

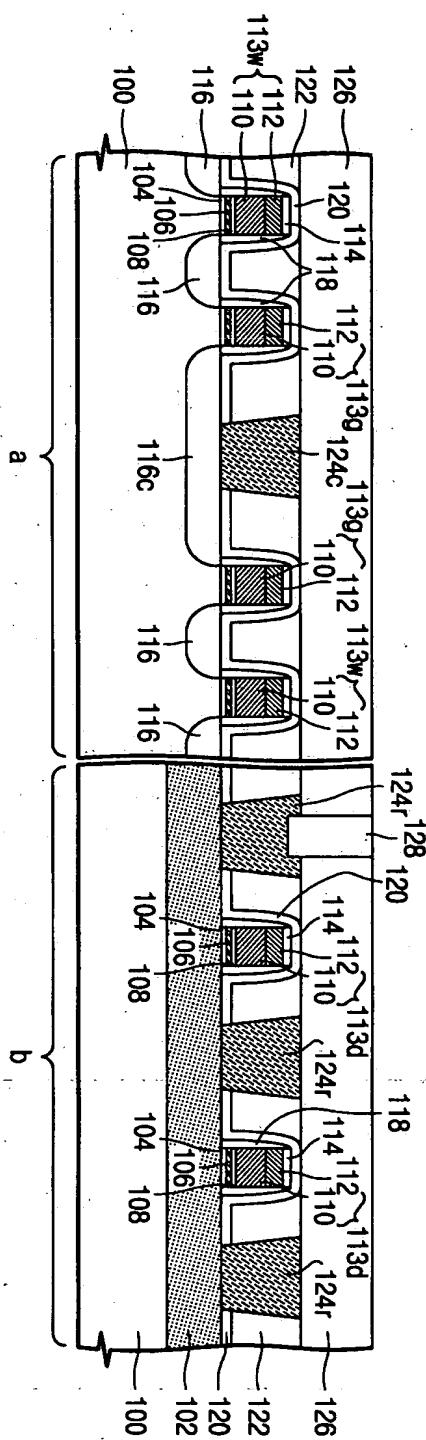
【도 6c】



【도 7】



【도 8】

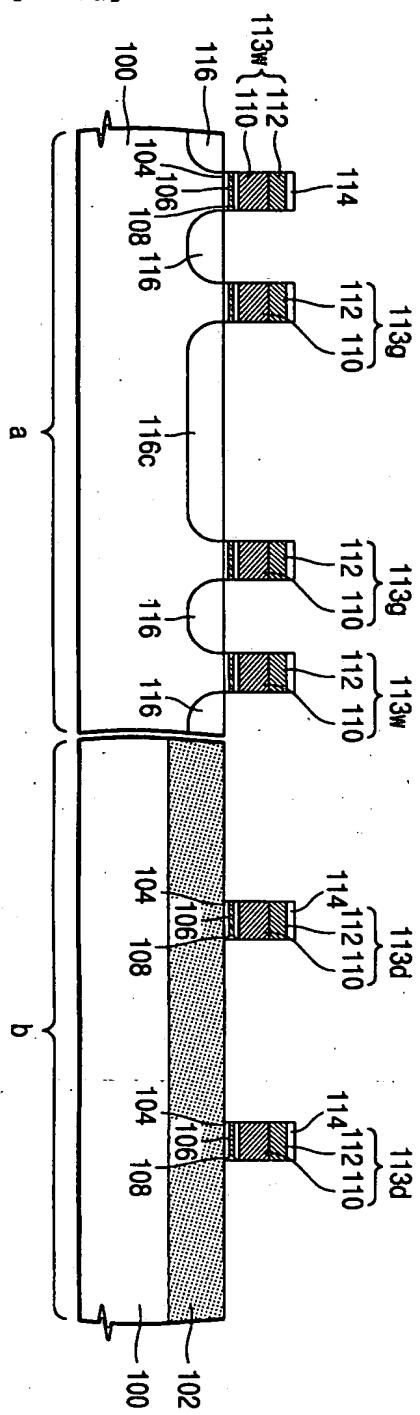




1020020062010

출력 일자: 2003/5/9

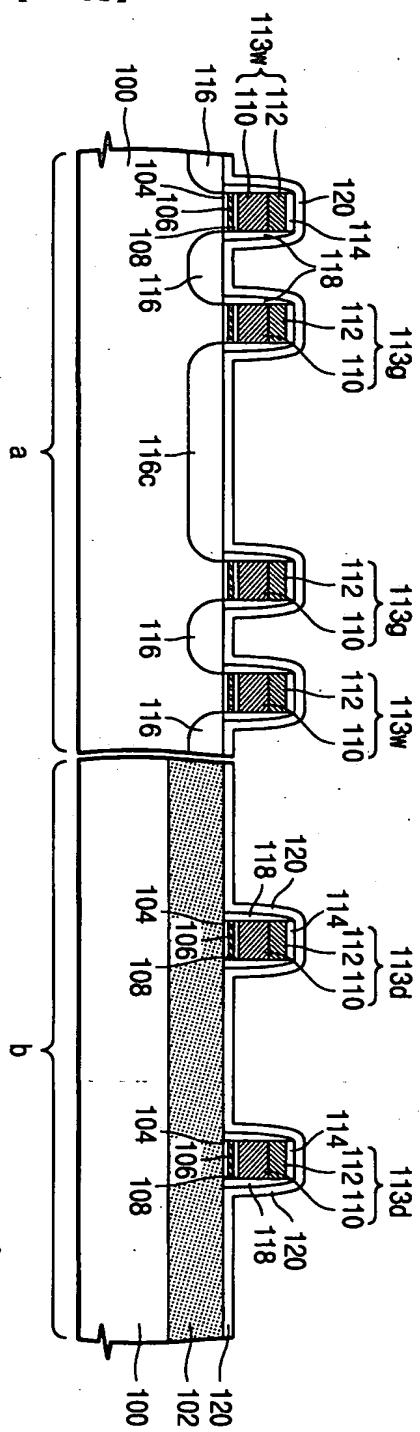
【도 9a】



1020020062010

출력 일자: 2003/5/9

【도 9b】



【도 9c】

